

TRANSISTOR INTEGRATED CIRCUIT**Publication number:** JP61206304 (A)**Publication date:** 1986-09-12**Inventor(s):** MIYAMOTO MASABUMI; OKABE TAKEAKI; ITO HIDESHI; KATSUEDA MINEO**Applicant(s):** HITACHI LTD**Classification:**

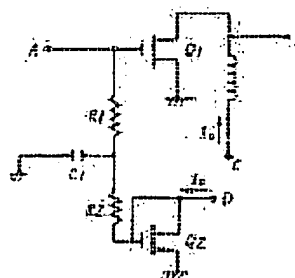
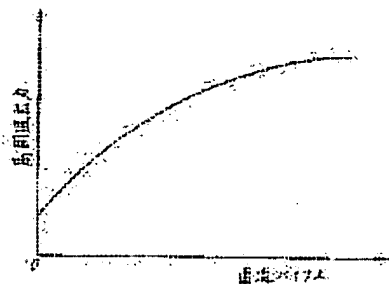
- international: H03G3/10; H01L21/8234; H01L27/08; H01L27/088; H01L29/78; H03G3/04; H01L21/70; H01L27/08; H01L27/085; H01L29/66; (IPC1-7): H01L27/08; H01L29/78; H03G3/10

- European:

Application number: JP19850046519 19850311**Priority number(s):** JP19850046519 19850311**Abstract of JP 61206304 (A)**

PURPOSE: To attain broad range output control by using a current mirror circuit as a bias circuit so as to attain a wide range of bias change.

CONSTITUTION: Terminals A, B are respectively high frequency input and output terminals. A transistor (TR) Q2 of a high frequency power amplifier stage is the same shape as a TR Q1 except the channel width, which is $1/n$ of that of the TR Q1. A high frequency filter consists of an R1, an R2 and a C1 and shows a high impedance to a high frequency input entering from the terminal A. A bias current I_D of the TR Q1 flowing between a terminal C and an earth is n -time of a current I_B of a current IB flowing between a terminal D and an earth by the principles of operation of the current mirror circuit.; Thus, the bias current of the TR Q1 is controlled by a current of $1/n$ and the output is controlled according to the bias current/output characteristic shown in figure.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-206304

⑬ Int.Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 昭和61年(1986)9月12日
H 03 G 3/10 A-7827-5J
H 01 L 27/08 102 6855-5F
29/78 8422-5F 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 トランジスタ集積回路

⑯ 特 願 昭60-46519

⑰ 出 願 昭60(1985)3月11日

⑱ 発 明 者 宮 本 正 文 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑱ 発 明 者 岡 部 健 明 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑱ 発 明 者 伊 藤 秀 史 高崎市西横手町111番地 株式会社日立製作所高崎工場内
⑱ 発 明 者 勝 枝 領 雄 国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 トランジスタ集積回路
特許請求の範囲

1. 第1の電界効果トランジスタ(以下FETと略記)と、第2のFETと、前記両FETのゲート間を接続する回路からなるトランジスタ増幅回路において、第2のFETのソース・ドレイン間に流す電流により、第1FETのゲートバイアス電圧を変化させ、第1FETの出力電力を制御することを特徴とするトランジスタ集積回路。
2. 上記両FETのゲート間を接続する回路において、2つの直列に接続した抵抗素子で前記両FETのゲートを接続し、2つの前記抵抗素子の接点に、容量素子の一端を接続し、他端を接地して、高域遮断回路を形成したことを特徴とする特許請求の範囲第1項記載のトランジスタ集積回路。
3. 上記抵抗体として絶縁膜上に形成した高抵抗金属材料を用いることを特徴とする特許請求の範囲第2項記載のトランジスタ集積回路。
4. 前記容量素子として半導体基板を貫通するよ

うに形成したP型または(N型)領域と前記P型(またはN型)領域内に形成したN型(またはP型)拡散層とのPN接合容量を用いたことを特徴とする特許請求の範囲第2項記載のトランジスタ集積回路。

発明の詳細な説明

〔発明の利用分野〕

本発明はトランジスタ集積回路に係り、特に高周波増幅回路の広帯域な出力制御に好適な、集積増幅回路に関する。

〔発明の背景〕

従来から、バイアスを変化させて利得を変化させる方法は、受信機の増幅回路等で広く使われている。(電子回路大事典、6.12、P60誠文堂新光社)しかし、これらの回路では、電力増幅回路に適用することは考えられておらず、十分な出力制御範囲が得られなかった。

〔発明の目的〕

本発明の目的は広帯域な出力制御が可能なトランジスタ集積増幅回路を提供することにある。

〔発明の概要〕

一般に高周波増幅回路において、入出力回路の調整は、高周波出力あるいは効率が最大になるように行なわれる。その場合、第1図の如く直流バイアスを増加させると、一定の高周波入力に対しては上記出力が増加する。

本発明はこの原理を使い、バイアス回路にカレントミラー回路を用い広範囲なバイアス変化を可能にしたものである。そのため広範囲な出力制御が可能になつている。

〔発明の実施例〕

以下、本発明の一実施例を図により説明する。

第2図は本発明の基本回路を示す。A端子、B端子がそれぞれ、高周波入力、出力端子になつている。Q1は高周波電力増幅段のトランジスタで、Q2はQ1とチャネル幅以外は同一形状のトランジスタであるが、チャネル幅がQ1の $1/n$ 倍になつている。R1、R2、C1からなる回路は高周波フィルターで、A端子から入る高周波入力に対し高インピーダンスを示すようになつている。C

端子・アース間に流れるQ1のバイアス電流 (I_0) はカレントミラー回路の原理により、D端子・アース間に流す電流 (I_b) の n 倍となる。したがつてQ1のバイアス電流を $1/n$ 倍の電流で制御することができ、第1図のバイアス電流・出力特性にしたがつて出力を制御することができる。

第3図に第2図の回路を乗積化した構造の断面を示す。高濃度P型層2は、P型エピタキシャル層を貫通して半導体基板1に達するように深く拡散させる。このことによつて前記2領域と高濃度N型拡散層4bとで形成されるPN接合容量のQを高め、バイパスコンデンサとしての効率を上げることができる。抵抗体7はゲート6と同一の材料で作ることができ、高周波用としてモリブデンを用いたが、ポリシリコン等を使うことも可能である。この抵抗は半導体中に作る拡散層抵抗と比較して寄生容量が小さく、高周波用途に向いている。以上のように出力素子とそのバイアス回路を乗積化し一体化したことにより、小型で広範囲の出力制御が容易な素子を提供することができる。

第4図に高周波増幅回路にLC回路を用いた実施例を示す。第4図において、点線で囲まれた部分以外は第3図と同一なので点線内の構造を第5図に示す。L1はモリブデン膜でスパイラルコイルを形成した。C2は第1層アルミ膜8と第2層アルミ膜9およびモリブデン膜6間の容量を成している。この構造はC2の容量を大きく吸れると同時に、モリブデン膜6と半導体基板1間でC3を形成している利点がある。周波数を835MHzで設計すると、第5図(a)の寸法 $l_1 \approx 200 \mu\text{m}$ 、 $l_2 \approx 150 \mu\text{m}$ 、 $l_3 \approx 3 \mu\text{m}$ となつた。以上の回路により、特性のよい高周波増幅回路を構成することができた。ここで第5図(b)は第5図(a)に示す回路部分の断面図である。

〔発明の効果〕

本発明によれば、バイアス電流により高周波出力電力を広範囲に制御できる効果がある。

図面の簡単な説明

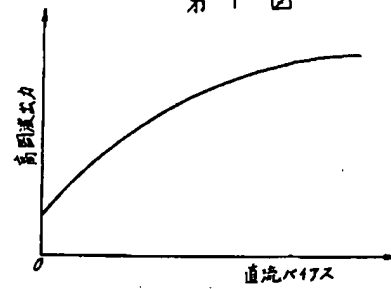
第1図はバイアス電流と高周波出力の関係を示すグラフ、第2図は本発明の基本回路図、第3図

は本発明の基本回路を乗積化した実施例の断面構造図、第4図は高周波増幅回路にLC回路を用いた実施例を示す回路図、第5図は、第4図のLC回路を乗積化した実施例の平面構造図(a)と断面構造図(b)である。

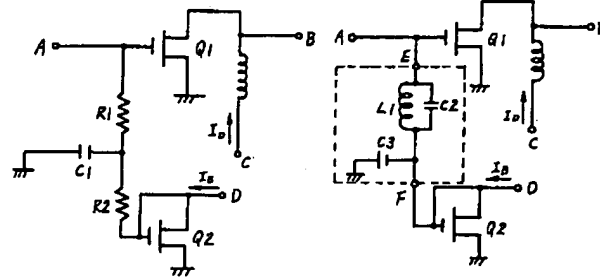
A…高周波入力端子、B…高周波出力端子、C…電源端子、D…バイアス制御用電源端子、Q1…高周波出力用P-E-T、Q2…バイアス用P-E-T、R1およびR2…高周波用抵抗、C1…高周波バイパスコンデンサ、1…半導体基板、2…高濃度P型拡散層、3…P型エピタキシャル層、4aおよび4b…高濃度N型拡散層、5…絶縁膜(SiO₂等)、6…モリブデンゲート、7…モリブデン膜(抵抗体)、8…第1層アルミ電極、9…第2層アルミ電極。

代理人 弁理士 小川勝典

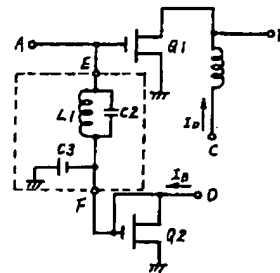
第 1 図



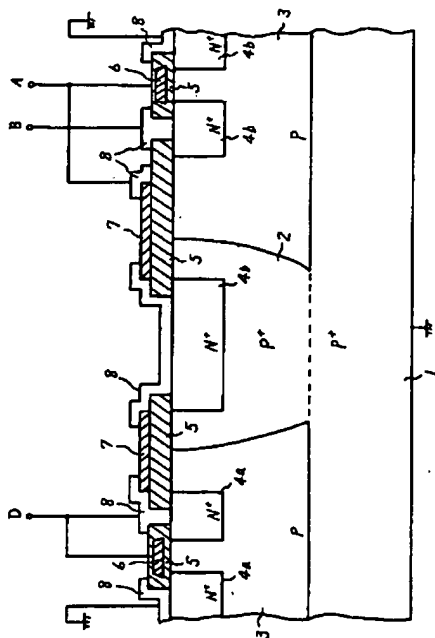
第 2 図



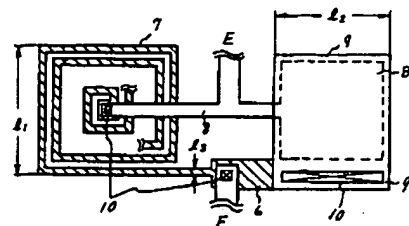
第 4 図



第 3 図



第 5 図



(#)

